НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ім. ІГОРЯ СІКОРСЬКОГО»

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

КАФЕДРА СИСТЕМНОГО ПРОГРАМУВАННЯ ТА СПЕЦІАЛІЗОВАНИХ КОМП’ЮТЕРНИХ СИСТЕМ

**Лабораторна робота №4  
з дисципліни «Технологія проектування комп’ютерних систем»**

**Варіант 6**

Виконав  
студент 4-го курсу  
групи КВ-41  
Горпинич-Радуженко Іван

Київ – 2018

**Постановка задачі**

Описати модель 4-розрядного регістра. Операції: зберігання, завантаження даних, декремент на 1, NOR, циклічний зсув вліво, логічний зсув вправо, розвертання.

Затримку сигналу встановити 130 нс.

**Лістинг**

library IEEE;

use IEEE.std\_logic\_1164.all;

use IEEE.std\_logic\_unsigned.all;

entity task1 is

generic (Delay:time := 130ns);

port (

CLK: in STD\_LOGIC;

Reset: in STD\_LOGIC;

DataIn: in STD\_LOGIC\_VECTOR (3 downto 0);

DataOut: out STD\_LOGIC\_VECTOR (3 downto 0);

Command: in STD\_LOGIC\_VECTOR (2 downto 0)

);

end entity task1;

architecture task1 of task1 is

begin

process(CLK,Reset)

variable private:STD\_LOGIC\_VECTOR (3 downto 0);

begin

if (Reset = '1') then private:="0000";

elsif (CLK'event) and (CLK = '0') then

case Command is

when "000" => null;

when "001" => private := datain;

when "010" => private := private-1;

when "011" => private := not (private or datain);

when "100" => private := private(2 downto 0) & private(3);

when "101" => private := '0' & private(3 downto 1);

when "110" => private := private(0) & private(1) & private(2) & private(3);

when others => null;

end case;

end if;

DataOut <= private after Delay;

end process;

end architecture;

**Часова діаграма**

